

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-047624

(43)Date of publication of application : 12.02.2004

(51)Int.Cl.

H01L 21/76

H01L 21/205

H01L 21/316

(21)Application number : 2002-201396

(71)Applicant : RENESAS TECHNOLOGY CORP

(22)Date of filing : 10.07.2002

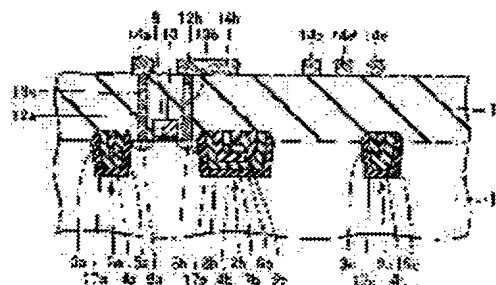
(72)Inventor : SAWADA MASATO
TOBIMATSU HIROSHI
HAYASHIDE YOSHIO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, along with its manufacturing method, which has an element isolation structure showing a proper separation characteristics, by filling the inside of a fine groove with an insulating film of proper film quality but without defects, such as voids.

SOLUTION: The semiconductor device comprises a semiconductor substrate 1 and isolation insulators 2a-2c. Grooves 17a-17c are formed on the main surface of the semiconductor substrate 1. The separation insulators 2a-2c are formed inside the grooves by a thermal oxidation method, and isolate an element-forming region on the main surface of the semiconductor substrate 1. A plurality of oxide films 3a-3c, 4a-4c, 5a-5c, 6b, and 7b are laminates of the isolation insulators 2a-2c.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-47624
(P2004-47624A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/76	H O 1 L 21/76 L	5 F O 3 2
H O 1 L 21/205	H O 1 L 21/205	5 F O 4 5
H O 1 L 21/316	H O 1 L 21/316 S	5 F O 5 8

審査請求 未請求 請求項の数 17 O L (全 31 頁)

(21) 出願番号 特願2002-201396 (P2002-201396)	(71) 出願人 503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日 平成14年7月10日 (2002. 7. 10)	(74) 代理人 100064746 弁理士 深見 久郎
	(74) 代理人 100085132 弁理士 森田 俊雄
	(74) 代理人 100083703 弁理士 仲村 義平
	(74) 代理人 100096781 弁理士 堀井 豊
	(74) 代理人 100098316 弁理士 野田 久登
	(74) 代理人 100109162 弁理士 酒井 将行
	最終頁に続く

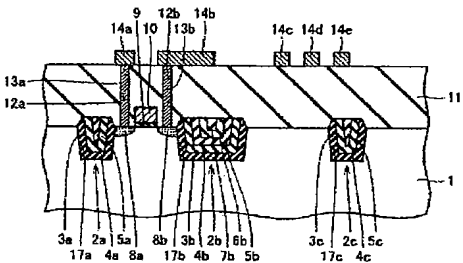
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】微細な溝の内部を、ボイドなどの欠陥の無い良好な膜質の絶縁膜で充填することにより、良好な分離特性を示す素子分離構造を備える半導体装置およびその製造方法を提供する。

【解決手段】半導体装置は、半導体基板1と分離絶縁体2a～2cとを備える。半導体基板1の主表面には溝17a～17cが形成されている。分離絶縁体2a～2cは、熱酸化法を用いて溝の内部に形成され、半導体基板1の主表面において素子形成領域を分離するものである。上記分離絶縁体2a～2cは複数の酸化膜3a～3c、4a～4c、5a～5c、6b、7bの積層体である。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

主表面に溝が形成された半導体基板と、
熱酸化法を用いて前記溝の内部に形成され、前記半導体基板の主表面において素子形成領域を分離する分離絶縁体とを備え、
前記分離絶縁体は、複数の酸化膜レイヤの積層体である、半導体装置。

【請求項 2】

前記溝の内壁と前記分離絶縁体との間に配置されたバリア膜をさらに備える、請求項 1 に記載の半導体装置。

【請求項 3】

前記酸化膜レイヤは n 型不純物元素を含む、請求項 1 または 2 に記載の半導体装置。

【請求項 4】

凹凸部が形成された主表面を有する半導体基板と、
前記凹凸部上に形成され、n 型不純物元素を含む複数の酸化膜レイヤの積層体からなる絶縁体とを備える、半導体装置。

【請求項 5】

前記凹凸部は、前記半導体基板の主表面に形成された溝を含み、
前記絶縁体は前記溝を充填するように形成されている、請求項 4 に記載の半導体装置。

【請求項 6】

前記溝の内壁と前記絶縁体との間に配置されたバリア膜をさらに備える、請求項 5 に記載の半導体装置。

【請求項 7】

前記 n 型不純物元素はリンである、請求項 3 ～ 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】

前記複数の酸化膜レイヤのうちの 1 の酸化膜レイヤにおける前記 n 型不純物元素の濃度は、前記 1 の酸化膜レイヤより前記半導体基板に近い位置に配置された他の酸化膜レイヤにおける前記 n 型不純物元素の濃度より高くなっている、請求項 3 ～ 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】

前記バリア膜は、高密度プラズマ化学気相成長法および減圧化学気相成長法のいずれかによって形成されたシリコン酸化膜である、請求項 2 または 6 に記載の半導体装置。

【請求項 10】

凹凸部が形成された主表面を有する半導体基板を準備する工程と、
前記凹凸部上に化学気相成長法を用いてシリコン膜を形成する工程と、前記シリコン膜を酸化することによりシリコン酸化膜を形成する工程とを交互に複数回繰返す絶縁体形成工程とを備える、半導体装置の製造方法。

【請求項 11】

前記シリコン膜を形成する工程では、化学気相成長法において用いる反応ガスが n 型不純物元素を含有するガスを含む、請求項 10 に記載の半導体装置の製造方法。

【請求項 12】

前記絶縁体形成工程では、前記シリコン膜を形成する工程の後であって前記シリコン酸化膜を形成する工程の前に、前記シリコン膜に n 型不純物元素を含有するガスを接触させることにより前記シリコン膜に前記 n 型不純物元素を導入する工程を実施する、請求項 10 に記載の半導体装置の製造方法。

【請求項 13】

前記 n 型不純物元素はリンである、請求項 11 または 12 に記載の半導体装置の製造方法。

【請求項 14】

前記 n 型不純物元素を含むガスはホスフィンガスである、請求項 13 に記載の半導体装置の製造方法。

10

20

30

40

50

【請求項 15】

前記絶縁体形成工程では、
前記半導体基板の温度を520℃以上750℃以下とし、
前記シリコン膜を形成する工程において化学気相成長法で利用する反応ガスがモノシラン
ガスを含み、
前記シリコン酸化膜を形成する工程において前記シリコン膜を酸化するために前記シリ
コン膜に接触させる反応ガスが、酸素ガスと水素ガスとの混合ガスを含み、
前記混合ガスにおける前記水素ガスの体積割合が1%以上30%以下である、請求項10
～14のいずれか1項に記載の半導体装置の製造方法。

【請求項 16】

10

前記絶縁体形成工程に先だって、前記半導体基板の前記凹凸部にバリア膜を形成する工
程をさらに備える、請求項10～15のいずれか1項に記載の半導体装置の製造方法。

【請求項 17】

前記半導体基板を準備する工程は、前記半導体基板の主表面に前記凹凸部を構成する溝を
形成する工程を含み、
前記シリコン膜を形成する工程では、前記溝の内部に前記シリコン膜を形成する、請求項
10～16のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

この発明は、半導体装置およびその製造方法に関し、より特定的には、絶縁膜におけるボ
イドなどの欠陥の発生を抑制することが可能な半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

従来、半導体記憶装置などに代表される半導体装置では、半導体基板の主表面において、
電界効果トランジスタなどの回路素子を形成するための素子形成領域と、この素子形成領
域を分離するための素子分離構造とが形成される。素子分離構造の一つに、STI (Sh
allow Trench Isolation) と呼ばれる構造がある。図36～図3
9は、従来の半導体装置におけるSTIの形成方法を説明するための断面模式図である。
図36～図39を参照して、従来の半導体装置におけるSTIの製造方法を説明する。

30

【0003】

まず、半導体基板101 (図36参照) の主表面上に、熱酸化法によってシリコン酸化膜
115 (図36参照) を形成する。このシリコン酸化膜115上に減圧気相成長法 (LP
CVD法: Low Pressure Chemical Vapor Deposit
ion) などを用いて、シリコン窒化膜116 (図36参照) を形成する。シリコン窒化
膜116上に、フォトリソグラフィ法を用いてパターンを有するレジスト膜 (図示せず
) を形成する。このパターンを有するレジスト膜をマスクとして用いて、通常の異方性エ
ッチングを利用して溝117a～117c (図36参照) を形成する。このようにして、
図36に示すような構造を得る。

【0004】

40

次に、図37に示すように、溝117a～117cの内部からシリコン窒化膜116の上
部表面上にまで延在するシリコン酸化膜150を形成する。シリコン酸化膜150の形成
方法としては、たとえばテトラエトキシシラン (TEOS) を用いたLPCVD法を適用
できる。

【0005】

次に、シリコン窒化膜116上に位置するシリコン酸化膜150の部分を、フォトリソグ
ラフィー法およびドライエッチング (異方性エッチング) を用いて除去する。その後、化
学機械研磨法 (CMP法: Chemical Mechanical Polishin
g) を用いてシリコン酸化膜150の上部表面を平坦化する。この結果、図38に示すよ
うに、溝117a～117cの内部にそれぞれシリコン酸化膜150a～150cが充填

50

された構造を得る。

【0006】

次に、シリコン窒化膜116（図38参照）およびシリコン酸化膜115（図38参照）をエッチング法などにより除去する。この結果、図39に示すように、半導体基板101の主表面の溝117a～117cの内部に、STIを構成するシリコン酸化膜150a～150cが配置された構造を得ることができる。そして、この素子分離構造（STI）を構成するシリコン酸化膜150a～150cによって分離された素子形成領域に、電界効果トランジスタなどの回路素子を形成する。

【0007】

【発明が解決しようとする課題】

10

今日、半導体装置の微細化、高集積度化の要求はますます強くなってきている。そして、このような半導体装置の微細化に伴って、上述した素子分離構造もそのサイズを小さくする必要がある。図36～図39に示したようなSTI構造を微細化するためには、従来より幅の狭い溝117a～117c（図37参照）を形成するとともに、この幅の狭い溝117a～117cの内部をシリコン酸化膜150（図37参照）により充填する必要がある。図37に示した工程では、シリコン酸化膜150を形成するためTEOSを用いたLPCVD法を利用したが、溝117a～117cの幅が狭くなると、図40に示すように溝117a、117cの内部において、シリコン酸化膜150中にボイド151が形成される場合があった。

【0008】

20

これは、上述したTEOSを用いたLPCVD法により形成されるシリコン酸化膜150の段差被覆性が不十分であることに起因する。すなわち、TEOSを用いたLPCVD法では、溝117a～117cの内部にシリコン酸化膜150を形成する際、溝117a～117cの上部におけるシリコン酸化膜の膜成長速度が溝117a～117cの底部におけるシリコン酸化膜150の膜成長速度より速くなっている。そのため、溝117a、117cの上部において、溝117a、117cの対向する側壁面上に成長したシリコン酸化膜150の部分同士が、他の部分より先に接触する（シリコン酸化膜150により、溝117a、117cの上部が閉塞した状態となる）ためである。このとき、上述のように溝117a、117cの底部におけるシリコン酸化膜の膜成長速度は相対的に遅いため、図40に示すように溝117a、117cの上部がシリコン酸化膜150により閉塞したときに、溝117a、117cの内部にボイド151が形成される。ここで、図40は、従来の半導体装置の問題点を説明するための断面模式図であり、LPCVD法により形成されたシリコン酸化膜150にボイドが形成された状態を示している。

30

【0009】

このようなボイド151が形成されるかどうかはLPCVD法のプロセス条件にも依存するが、発明者が検討した結果では、溝117a、117cの幅（分離幅）が $0.2\mu\text{m}$ より小さいと、上述のようなボイド151が形成される確率が高くなっていた。このようなボイド151が形成されると、結果的に溝117a～117cの内部に形成されたシリコン酸化膜150により構成される素子分離構造の分離特性が劣化する場合があった。

【0010】

40

また、幅の狭い溝117a、117cの内部にシリコン酸化膜150（図37参照）を形成する他の方法として、高密度プラズマCVD法（HDP-CVD法：High Density Plasma Chemical Vapor Deposition）を用いることも考えられる。HDP-CVD法では、溝の内部にシリコン酸化膜を成膜すると同時に、溝の上部においてシリコン酸化膜がエッチングされる。そのため、溝の上部において対向する溝の壁面上に形成されたシリコン酸化膜同士が他の部分より先に接触する確率を低減できるので、溝の内部にボイドが形成される危険性を低減できる。

【0011】

しかし、HDP-CVD法を用いる場合であっても、溝117a～117c（図41参照）の幅が狭くなるのに従って、上述したボイドの形成を抑制するために、エッチング成分

50

を増やす（溝117a～117c（図41参照）の上部においてシリコン酸化膜150（図41参照）がエッチングされる際のエッチング速度を大きくする）必要がある。この結果、HDP-CVD法を用いてシリコン酸化膜150（図41参照）を形成した場合、図41に示すように、溝117a～117cの上部においてシリコン酸化膜150のみではなく、シリコン窒化膜116、シリコン酸化膜115さらには半導体基板101までもエッチングされる場合があった。図41は、従来の半導体装置の問題点を説明するための断面模式図であり、HDP-CVD法を用いてシリコン酸化膜150を形成した場合を示している。

【0012】

この場合、半導体基板101には、溝117a～117cの上部に削れ部152が形成される。このような削れ部152が形成されると、溝117a～117cの内部に形成されたシリコン酸化膜150により構成される素子分離構造の分離特性が劣化する場合があった。そして、発明者の検討した結果では、上述のような削れ部152の発生を抑制しながら溝117a～117cの内部をシリコン酸化膜150で充填できる溝117a～117cの幅は、0.12 μ m程度が限界であった。

【0013】

さらに、上述したLPCVD法やHDP-CVD法を用いて形成したシリコン酸化膜150（図40、図41参照）は、熱酸化法（シリコン膜を熱酸化することによりシリコン酸化膜を形成する方法）により得られたシリコン酸化膜に比べて、その膜中に不純物を多く含み、また、その組成も不安定である場合が多い。このように、LPCVD法やHDP-CVD法により得られるシリコン酸化膜の膜質は熱酸化法により得られるシリコン酸化膜の膜質より劣っているため、上述したLPCVD法などを用いて形成した素子分離構造の分離特性が劣化することになっていた。そして、このような分離特性の劣化は、溝117a～117cの幅が小さくなるのに従って顕著になっていた。

【0014】

この発明は、上記のような課題を解決するために成されたものであり、この発明の目的は、微細な溝の内部を、ボイドなどの欠陥の無い良好な膜質の絶縁膜で充填することにより、良好な分離特性を示す素子分離構造を備える半導体装置およびその製造方法を提供することである。

【0015】

【課題を解決するための手段】

この発明の1の局面に従った半導体装置は、半導体基板と分離絶縁体とを備える。半導体基板の主表面には溝が形成されている。分離絶縁体は、熱酸化法を用いて溝の内部に形成され、半導体基板の主表面において素子形成領域を分離するものである。上記分離絶縁体は複数の酸化膜レイヤの積層体である。

【0016】

このようにすれば、後述する製造方法からも分かるように、溝の幅より十分小さい膜厚のシリコン膜など酸化膜レイヤの元となる膜を溝の内部に形成した後、そのシリコン膜などの膜を熱酸化するという工程を繰り返す事で、本発明による絶縁体を得ることができる。そして、上述の酸化膜レイヤの元となるシリコン膜などを形成する際に、段差被覆性に優れた成膜方法を利用できるので、溝の上部が塞がれる事に起因してボイドなどの欠陥が形成される危険性を低減できる。

【0017】

この発明の他の局面に従った半導体装置は、半導体基板と絶縁体とを備える。半導体基板は凹凸部が形成された主表面を有する。絶縁体は、凹凸部上に形成され、n型不純物元素を含む複数の酸化膜レイヤの積層体からなる。

【0018】

この場合、n型不純物元素によりアルカリ金属などの不純物原子をトラップすることができるので、酸化膜レイヤ中での不純物原子の拡散を抑制できる。このため、アルカリ金属などの不純物原子による半導体素子の特性劣化を抑制できる。

10

20

30

40

50

【0019】

この発明の別の局面に従った半導体装置の製造方法は、半導体基板を準備する工程と、絶縁体形成工程とを備える。半導体基板を準備する工程では、凹凸部が形成された主表面を有する半導体基板を準備する。絶縁体形成工程では、凹凸部上に化学気相成長法を用いてシリコン膜を形成する工程と、シリコン膜を酸化することによりシリコン酸化膜を形成する工程とを交互に複数回繰返す。

【0020】

このようにすれば、凹凸部の凹部の幅より十分小さい膜厚のシリコン膜など、酸化膜レイヤの元となるシリコン膜を凹部の内部に形成した後、そのシリコン膜を酸化するという工程を繰返す事で、本発明による絶縁体を備える半導体装置を得ることができる。

10

【0021】

【発明の実施の形態】

以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

【0022】

(実施の形態1)

図1は、本発明による半導体装置の実施の形態1を示す断面模式図である。図1を参照して、本発明による半導体装置の実施の形態1を説明する。

【0023】

図1に示すように、半導体装置は半導体基板1の主表面に素子形成領域を囲むように形成された分離絶縁体2a~2cと、この絶縁体としての分離絶縁体2a~2cによって分離された素子形成領域において、半導体基板1の主表面上に形成された回路素子としての電界効果トランジスタと、この電界効果トランジスタのソース/ドレイン領域8a、8bと電気的に接続された配線14a、14bとを備える。具体的に、半導体基板1の主表面では、上述のように素子形成領域を囲むように分離絶縁体2a~2cが形成されている。この分離絶縁体2a~2cは、いわゆるSTI (Shallow Trench Isolation) と呼ばれる構造を有している。

20

【0024】

分離絶縁体2aは、半導体基板1の主表面に形成された溝17aの内部に、層状に積層された複数の酸化膜レイヤとしての酸化膜3a~5aの積層体によって構成されている。酸化膜3a~5aは、溝17aの内壁に沿った方向に延在するように形成されている。つまり、溝17aの内部では、溝17aの側壁および底壁を覆うように酸化膜3aが形成されている。酸化膜3a上には酸化膜4aが形成されている。酸化膜4a上に酸化膜5aが形成されている。このように、複数の層状に積層された酸化膜3a~5aからなる積層体によって、溝17aの内部が充填された状態になっている。

30

【0025】

また、分離絶縁体2bは、半導体基板1の主表面に形成された溝17bの内部を充填するように配置された、酸化膜レイヤとしての酸化膜3b~7bの積層体からなる。具体的には、溝17bの側壁および底壁を覆うように酸化膜3bが形成されている。酸化膜3b上には酸化膜4bが形成されている。酸化膜4b上には酸化膜5bが形成されている。酸化膜5b上には酸化膜6bが形成されている。酸化膜6b上には酸化膜7bが形成されている。

40

【0026】

また、分離絶縁体2cも、半導体基板1の主表面に形成された溝17cの内部を充填するように配置された酸化膜レイヤとしての酸化膜3c~5cの積層体によって構成されている。具体的には、溝17cの側壁および底壁を覆うように酸化膜3cが配置されている。酸化膜3c上に酸化膜4cが配置されている。酸化膜4c上に酸化膜5cが配置されている。

【0027】

分離絶縁体2a、2bによって囲まれた素子形成領域においては、半導体基板1の主表面

50

上にゲート絶縁膜 9 を介してゲート電極 10 が配置されている。ゲート絶縁膜 9 下のチャネル領域を挟むようにソース／ドレイン領域 8 a、8 b が半導体基板 1 の主表面に形成されている。ゲート電極 10、ゲート絶縁膜 9 およびソース／ドレイン領域 8 a、8 b により電界効果トランジスタが形成されている。

【0028】

上述の電界効果トランジスタを覆うように、半導体基板 1 の主表面上には層間絶縁膜 11 が形成されている。層間絶縁膜 11 において、ソース／ドレイン領域 8 a、8 b 上に位置する領域にはコンタクトホール 12 a、12 b が形成されている。コンタクトホール 12 a、12 b の内部は導電体膜 13 a、13 b によりそれぞれ充填されている。導電体膜 13 a、13 b 上に位置する領域であって、層間絶縁膜 11 の上部表面上には配線 14 a、14 b がそれぞれ配置されている。また、層間絶縁膜 11 の上部表面上には、他の配線である配線 14 c～14 e が配置されている。配線 14 a、14 b は、それぞれ導電体膜 13 a、13 b を介してソース／ドレイン領域 8 a、8 b と電氣的に接続されている。

【0029】

このようにすれば、後述する製造方法からも分かるように、溝 17 a～17 c の幅より十分小さい膜厚の多結晶シリコン膜を溝 17 a～17 c の内部に形成した後、その多結晶シリコン膜を熱酸化するという工程を繰り返す事で、本発明による分離絶縁体 2 a～2 c を得ることができる。そして、上記多結晶シリコン膜を形成する際に、段差被覆性に優れた成膜方法を利用できるので、溝 17 a～17 c の上部が塞がれる事に起因してボイドなどの欠陥が形成される危険性を低減できる。

【0030】

また、熱酸化法を用いて形成された酸化膜 3 a～3 c、4 a～4 c、5 a～5 c、6 b、7 b の膜質は、LPCVD 法や HDP-CVD 法などを用いて形成された酸化膜の膜質より優れているため、優れた分離特性を有する分離絶縁体 2 a～2 c を実現できる。

【0031】

次に、図 1 に示した半導体装置の製造方法を、図 2～図 13 を参照して説明する。なお、図 2、図 3、図 7～図 13 は、図 1 に示す半導体装置の製造方法を説明するための断面模式図である。また、図 4 は、分離絶縁体 2 a～2 c (図 1 参照) を形成するために用いる半導体製造装置の模式図である。また、図 5 は、図 4 に示した半導体製造装置を用いて、分離絶縁体 2 a～2 c を形成する半導体装置の製造方法のフローチャートを示す図である。図 6 は、図 5 に示したフローチャートに従って分離絶縁体 2 a～2 c (図 1 参照) を形成する際の図 4 に示した半導体製造装置におけるプロセス条件を説明するためのタイミングチャートを示す図である。以下、図 1 に示した半導体装置の製造方法を説明する。

【0032】

まず、半導体基板 1 (図 2 参照) の主表面上に、熱酸化法により薄いシリコン酸化膜 15 (図 2 参照) を形成する。次に、減圧気相成長法 (以下、LPCVD 法 (Low Pressure Chemical Vapor Deposition) と呼ぶ) などの成膜方法を用いて、シリコン窒化膜 16 (図 2 参照) を形成する。このようにして、図 2 に示すような構造を得る。

【0033】

次に、フォトリソグラフィ法とエッチングとにより半導体基板 1 の分離絶縁体 2 a～2 c (図 1 参照) が形成されるべき領域に溝 17 a～17 c (図 3 参照) を形成する工程を実施する。以上のような半導体基板を準備する工程を実施することにより、図 3 に示すような構造を得る。

【0034】

次に、図 4 に示すような半導体製造装置を用いて、分離絶縁体 2 a～2 c を構成する酸化膜 3 a～3 c、4 a～4 c、5 a～5 c、6 b、7 b (図 1 参照) を形成する。以下、図 4 に示した半導体製造装置の構成を簡単に説明する。

【0035】

図 4 に示すように、半導体製造装置である成膜装置 20 は、反応容器 21 と、反応容器 2

10

20

30

40

50

1の内部に設置されたガスヘッド23と、反応容器21の内部においてガスヘッド23と対向する位置に配置されたヒータ22と、ガスヘッド23を介して反応容器21の内部に反応ガスを供給するための反応ガス供給機構とを備える。反応ガス供給機構は、図4に示すようにガスヘッド23に接続された複数の配管と、この複数の配管に設置され、反応ガスの供給量や供給の開始および停止を制御するためのバルブ24a~24d、26a~26d、27a~27cおよびマスフロー制御装置25a~25dを含む。マスフロー制御装置25a~25dは、それぞれモノシランガス(SiH₄ガス)、酸素ガス(O₂ガス)、水素ガス(H₂ガス)および窒素ガス(N₂ガス)の流量を制御するために用いられる。

【0036】

また、反応容器21には、反応容器21の内部から雰囲気ガスを排出するための排出配管が接続されている。その排出配管には圧力制御バルブ28が設置されている。なお、上述したヒータ22は、その上部表面上に被処理材である半導体基板1を配置するための基板ホルダとしての機能も有する。

【0037】

次に、図4に示した装置を用いて分離絶縁体2a~2c(図1参照)を形成する方法を、図5に示したフローチャートに基づいて簡単に説明する。

【0038】

図5に示すように、分離絶縁体2a~2c(図1参照)を形成する方法としては、まず、凹凸部が形成された主表面を有する半導体基板を準備する工程として、半導体基板の主表面に溝を形成する工程(S110)を実施する。これは図3に示した工程に対応する。次に、多結晶シリコン膜を形成する工程(S120)を実施する。具体的には、溝が形成された半導体基板の主表面上に、溝の内部から半導体基板1の主表面上にまで延在するようにCVD法を用いて多結晶シリコン膜を形成する。次に、上述の工程で形成した多結晶シリコン膜を酸化する酸化工程(S130)を実施する。この酸化工程(S130)では、上記工程(S120)において形成した多結晶シリコン膜がすべてシリコン酸化膜となるまで酸化を行なう。次に、酸化工程(S130)において形成されたシリコン酸化膜によって、溝の埋込が完了したかどうかを判定する工程(S140)を実施する。そして、溝の埋込が完了していない場合には、再度多結晶シリコン膜を形成する工程(S120)および酸化工程(S130)を繰り返す。この結果、多結晶シリコン膜を形成する工程(S120)および酸化工程(S130)を繰り返す絶縁体形成工程により、溝の内部にはシリコン酸化膜が層状に形成されていくことになる。そして、溝の埋込が完了したかどうかを判定する工程(S140)において、溝の埋込が完了したと判断された場合には、半導体基板の主表面上に位置する余分なシリコン酸化膜を除去する工程などの後処理を行なう後処理工程(S150)を実施する。このようにして、分離絶縁体2a~2cを形成する工程が完了する。なお、溝の埋込が完了したかどうかを判定する工程(S140)では、予め形成される酸化膜の膜厚と溝の幅との関係から、多結晶シリコン膜を形成する工程(S120)および酸化工程(S130)の繰り返し回数を決定しておき、その繰り返し回数だけ上記工程を実施したかどうかを制御装置などで検証してもよいし、半導体基板の溝が形成された部分の状態をリアルタイムで検出することにより、上記判定を行なってもよい。

【0039】

次に、図6に示したタイミングチャートおよび図7~図13に示した断面模式図を参照しながら、図1に示した半導体装置の製造方法における分離絶縁体2a~2cの製造方法を説明する。なお、図6のタイミングチャートでは、縦軸が反応容器21(図4参照)内部の圧力やモノシランガス、酸素ガス、水素ガスなどの流量を示している。また、横軸は時間を示している。

【0040】

まず、図3に示したように溝17a~17cが形成された半導体基板1を、図4に示した成膜装置20の反応容器21の内部のヒータ22上に設置する。そして、反応容器21の内部を真空状態あるいは窒素などの不活性ガス雰囲気とする。不活性ガスとして窒素を用

いる場合は、たとえば図4に示すバルブ24d、26dを開状態とするとともに、マスフロー制御装置25dによって窒素ガス(N_2 ガス)の流量を制御する。また、このとき、圧力制御バルブ28を制御することによって反応容器21の内部を所定の圧力に保つようにする。その後、ヒータ22によって半導体基板1の温度を620℃程度に保持する。なお、半導体基板1の温度は520℃以上750℃以下とすることが好ましい。

【0041】

次に、図6の時点 t_1 において、図4に示した成膜装置20のバルブ24a、26aを開状態とするとともに、マスフロー制御装置25aを制御することによって、ガスヘッド23を介して所定量のモノシランガス(SiH_4 ガス)を反応容器21の内部へと供給する。モノシランガスの供給量としては、たとえば0.05リットル/分(50sccm)とすることができ、なお、このとき反応容器21の内部の圧力は、圧力制御バルブ28を制御することによって30Pa程度に保つ。このような状態を図6の時点 t_2 まで継続する。

10

【0042】

このとき、半導体基板1の表面では、0.3nm/秒という成長速度で多結晶シリコン膜18(図7参照)が形成される。そして、多結晶シリコン膜18(図7参照)の膜厚 T_1 (図7参照)が約2nm程度となった時点である時点 t_2 (図6参照)において、バルブ24a、26a(図4参照)を閉状態とするとともに、バルブ27a(図4参照)を開状態とする。この結果、反応容器21(図4参照)の内部へのモノシランガスの導入が停止される。その後、反応容器21(図4参照)の内部のモノシランガスを排気口から排出することによって、反応容器21の内部を真空状態とする。なお、ここでは、十分低圧の状態(たとえば、圧力が13.3Pa以下)を真空状態と呼んでいる。このようにして、図7に示すような構造を得る。なお、上述したようにモノシランガスから多結晶シリコン膜18を形成する工程が、図5に示した多結晶シリコン膜を形成する工程(S120)に対応する。

20

【0043】

次に、図4に示した成膜装置20において、バルブ24b、24c、26b、26cを開状態とし、マスフロー制御装置25b、25cを制御することによって反応容器21の内部へと所定量の酸素(O_2)ガスおよび水素(H_2)ガスを導入する。このとき、反応容器21の内部に導入される酸素ガスと水素ガスの混合ガスにおける酸素ガスと水素ガスの流量比は3対1($O_2:H_2=3:1$)とする。なお、酸素ガスと水素ガスの混合ガスにおける水素ガスの体積割合(酸素ガスの流量に対する水素ガスの流量の割合)は1%以上30%以下であることが好ましい。また、より好ましくは、酸素ガスと水素ガスの混合ガスにおける水素ガスの体積割合を1%以上20%以下とする。また、さらに好ましくは、酸素ガスと水素ガスの混合ガスにおける水素ガスの体積割合を1%以上10%以下とする。このような条件を用いることにより、多結晶シリコン膜18を確実に酸化することができる。

30

【0044】

このように酸素ガスと水素ガスを反応容器21の内部に導入し始めた時点 t_3 (図6参照)から、反応容器21(図4参照)の内部へと酸素ガスおよび水素ガスが導入されることによって反応容器21の内部の圧力は図6に示すように上昇することになる。なお、図6において、圧力とは反応容器21(図4参照)の内部の圧力を示し、 SiH_4 流量、 O_2 流量および H_2 流量とは、それぞれ SiH_4 ガスの供給流量、 O_2 ガスの供給流量および H_2 ガスの供給流量を意味する。そして、このように反応容器21(図4参照)の内部が酸素ガスと水素ガスとの混合ガス雰囲気になった状態で、図7に示した多結晶シリコン膜18は酸化され図8に示すような酸化膜3(シリコン酸化膜)となる。なお、このときの反応容器21(図4参照)の内部の圧力としては、たとえば666~2666Pa(5~20Torr)とすることができ、

40

【0045】

そして、このような酸化工程を、図7に示した多結晶シリコン膜18がほとんどすべて酸

50

化されるまで継続する。また、上述した条件においては、多結晶シリコン膜18（図7参照）が完全に酸化されるのに要する時間は約10秒ほどである。そして、形成される酸化膜3（図8参照）の膜厚T2（図8参照）は3nm程度である。このようにして、図8に示すように半導体基板1の溝17a～17cの内部からシリコン窒化膜16上にまで延在する酸化膜3を形成できる。

【0046】

そして、酸化膜3の形成が終了した時点以後の時点 t_4 （図6参照）において、反応容器21（図4参照）への酸素ガスおよび水素ガスの供給を停止する。具体的には、図4に示した成膜装置20において、バルブ24b、24c、26b、26cを閉状態にするとともに、バルブ27b、27cを開状態にする。そして、排気口から反応容器21の内部の
10 雰囲気ガスを排出することによって、反応容器21の内部を真空状態とする。

【0047】

次に、図8からも明らかなように溝17a～17cの内部は酸化膜3によって完全には充填されていないため、図5に示した多結晶シリコン膜を形成する工程（S120）および酸化工程（S130）を再度実施する。具体的には、図6の時点 t_5 において、時点 t_1 における操作と同様の操作により図4に示した成膜装置20の反応容器21の内部にモノシランガスを導入する。この結果、酸化膜3上に多結晶シリコン膜30（図9参照）を形成する。多結晶シリコン膜30（図9参照）を形成する工程を時点 t_6 （図6参照）まで続けた後、図6の時点 t_2 における操作と同様の操作によって反応容器21（図4参照）内部へのモノシランガスの供給を停止するとともに反応容器21の内部の雰囲気ガスを排
20 出する。このようにして、図9に示すような構造を得る。

【0048】

次に、図6の時点 t_7 において、時点 t_3 における操作と同様の操作により反応容器21（図4参照）の内部に酸素ガスおよび水素ガスを導入する。この結果、多結晶シリコン膜30（図9参照）は酸化される。そして、このような酸化工程を時点 t_8 （図6参照）まで続ける。このようにして、図10に示すように酸化膜3上に酸化膜4を形成することができる。その後、時点 t_8 において、時点 t_4 と同様の操作によって反応容器21の内部への酸素ガスおよび水素ガスの供給を停止する。この結果、図10に示すような構造を得ることができる。

【0049】

このように、多結晶シリコン膜を形成する工程（S120）および酸化工程（S130）（図5参照）を繰り返すことにより、溝17a～17cのすべてが図11に示すように酸化膜3～7（シリコン酸化膜）からなる積層体により充填されるまで上述の2つの工程を繰り返す。この結果、図11に示すような構造を得ることができる。図11に示した酸化膜3～7を形成するために、ここでは多結晶シリコン膜を形成する工程（S120）および酸化工程（S130）（図5参照）を5回繰り返している。このように、絶縁体形成工程として、多結晶シリコン膜を形成する工程（S120）および酸化工程（S130）（図5参照）を繰り返すことにより、図1に示したように溝17a～17c内部をボイドなどの無い酸化膜3～7で充填できる。

【0050】

そして、図11に示したように溝17a～17cが酸化膜3～7からなる積層体によって完全に埋込まれた後、図12に示すようにシリコン窒化膜16上に位置する酸化膜3～7をフォトリソグラフィ法およびドライエッチングを用いて除去する。その後、酸化膜3～7からなる積層体の上部表面をCMP法（Chemical Mechanical Polishing）を用いて平坦化する。この結果、図12に示すような構造を得る。

【0051】

次に、半導体基板1の主表面上からシリコン窒化膜16およびシリコン酸化膜15を除去する。この結果、図13に示すような構造を得る。なお、図12および図13に示した工程は、図5の後処理工程（S150）に対応する。このようにして、分離絶縁体2a～2cを得ることができる。

30

40

50

【0052】

そして、図13に示した工程の後、従来と同様の方法によりゲート絶縁膜9（図1参照）、ゲート電極10（図1参照）、およびソース／ドレイン領域8a、8b（図1参照）からなる電界効果トランジスタを形成する。また、この電界効果トランジスタを覆うように層間絶縁膜11（図1参照）を形成する。そして、層間絶縁膜11において、ソース／ドレイン領域8a、8b上に位置する領域にコンタクトホール12a、12b（図1参照）を形成する。このコンタクトホール12a、12bの内部に導電体膜13a、13b（図1参照）を形成する。この導電体膜13a、13b上に位置する領域に配線14a、14b（図1参照）を形成する。また、同時に層間絶縁膜11の上部表面上において、他の配線である配線14c～14e（図1参照）を形成する。このようにして、図1に示すよう
10

【0053】

発明者の得た知見によれば、図7および図9で示した多結晶シリコン膜18、30を形成する工程（多結晶シリコン膜を形成する工程）において上述したようなプロセス条件を用いて形成された多結晶シリコン膜18、30（図7および図9参照）は、TEOS（テトラエトキシシラン）などを用いたLPCVD法を用いて形成された酸化膜よりも段差被覆性が優れていることがわかった。さらに、このようにして形成した多結晶シリコン膜18、30（図7および図9参照）を、酸素と水素とを含んだ雰囲気中で熱酸化処理することにより、膜中に不純物を含まない純度の高い酸化膜3、4（図8および図10参照）を形成できた。さらに、この酸化膜3、4を形成する際に、溝17a～17cの幅より十分小
20

【0054】

なお、モノシランガスと酸素などの酸化性ガスとを同時に反応容器内21（図4参照）へと供給することで、シリコン酸化膜を形成する手法は公知である。しかし、このようにモノシランガスと酸化性ガスとを同時に反応容器内に供給してシリコン酸化膜を形成する場合、このモノシランガスと酸化性ガスとが気相中で反応することが、半導体基板1表面に対する反応ガスの供給律速になる。このため、モノシランガスと酸化性ガスとを同時に反応容器内に導入して形成した酸化膜は段差被覆性に乏しい。また、上述のようにモノシ
30

【0055】

また、異なる種類のガスを反応容器21（図4参照）内へと交互に供給するCVD法も知られている。しかし、比較的狭い幅の溝17a～17c（図1参照）の内部を、ボイドの発生を抑制した状態で酸化膜により埋込むことが可能となったのは、発明者が多結晶シリ
40

【0056】

また、図14に示すように、多結晶シリコン膜を形成する工程（S120）および酸化工程（S130）（図5参照）を複数回繰返した後、極めて狭い幅の溝の内部に多結晶シリコン膜31を形成する場合には、モノシランガスを用いた場合であっても微細なボイド32が形成される場合がある。ここで、図14および図15は、本発明の効果を説明するた
50

めの拡大断面模式図である。図14は、溝17aにおいて酸化膜3、4を形成した後、酸化膜4上に多結晶シリコン膜31を形成した状態を示している。

【0057】

図14に示すように、溝17a上において酸化膜4の上部表面に形成された幅の狭い溝部の上部が、多結晶シリコン膜31によって閉塞した後では、通常のCVD法によってボイド32を埋めることは困難である。しかし、本発明では形成した多結晶シリコン膜31を、酸素ガスと水素ガスとの混合ガスを用いて後から酸化する。そのため、上述の酸素ガスと水素ガスとの混合ガスに起因する酸化種が多結晶シリコン膜31あるいは多結晶シリコン膜31が酸化することによって形成される酸化膜（絶縁膜）の内部を浸透してボイド32の壁面を構成する多結晶シリコン膜部分にまで到達する。そして、多結晶シリコン膜31が酸化される（シリコン酸化膜となる）際に体積膨張が起きるため、この体積膨張によってボイド32（図14参照）が縮小もしくは消失する。この結果、図15に示すようにボイドの無い酸化膜5を形成することができる。このような効果は本発明のように多結晶シリコン膜を形成する工程とその多結晶シリコン膜を酸化する工程とを別工程として繰返し実施するという手法を取ることにによって初めて可能となる。

【0058】

なお、1回に形成する多結晶シリコン膜の膜厚T1（図7参照）が薄い場合には、形成されるボイド32のサイズも小さくなる、あるいはボイドの発生を抑制することができるため、酸化工程においてより確実にボイドを消滅させることができる。しかし、多結晶シリコン膜18、30（図7および図9参照）の膜厚が薄すぎた場合には、一度に形成される酸化膜の厚さも薄くなる。そのため、溝17a～17c（図1参照）の内部を充填するために多結晶シリコン膜を形成する工程（S120）および酸化工程（S130）（図5参照）を繰返すサイクル数が多くなるので却って製造効率が低下する場合が考えられる。したがって、形成する多結晶シリコン膜18、30（図7および図9参照）の膜厚を極めて薄くすることはあまり現実的ではないと思われる。発明者が検討した結果では、溝17a～17cの側壁部分の傾き角に依存するが、1回に形成される多結晶シリコン膜18、30（図7および図9参照）の膜厚を5nm以下にしておけば、ボイドの発生を抑制することができた。

【0059】

もちろん、多結晶シリコン膜を形成する工程（S120）（図5参照）において形成される多結晶シリコン膜18、30（図7および図9参照）の膜厚および酸化膜3、4（図8および図10参照）の膜厚は上述した実施の形態における値に限定されるものではない。また、多結晶シリコン膜18、30の成膜条件や、酸化工程における酸素と水素の流量比も上述した実施の形態における値に限るものではない。

【0060】

また、モノシランガスを反応容器21（図4参照）の内部へと供給する時間（時点 t_1 から時点 t_2 までの間の時間（図6参照））も、上述した実施の形態における条件に限定されるものではなく、酸化膜3～7（図1参照）となるべき多結晶シリコン膜の形成工程毎に上記時間を変化させてもよい。

【0061】

（実施の形態2）

図16は、本発明による半導体装置の実施の形態2を説明するための断面模式図である。図16を参照して、本発明による半導体装置の実施の形態2を説明する。

【0062】

図16に示すように、半導体装置は基本的に図1に示した半導体装置と同様の構造を備えるが、分離絶縁体2a～2cを構成する酸化膜33a～33c、34a～34c、35a～35c、36b、37bがn型の不純物元素であるリンを含んでいる点異なる。また、後述する製造方法からも明らかなように、分離絶縁体2a～2cにおいては、最下層（最も半導体基板1に近い領域）に位置する酸化膜33a～33cから、上層の酸化膜35a、35cあるいは酸化膜37bに向かうにつれて、それぞれの酸化膜33a～33c、

34 a～34 c、35 a～35 c、36 b、37 bに含有されるリンの濃度が高くなっている。

【0063】

このようにすれば、図1に示した本発明による半導体装置と同様の効果が得られるとともに、分離絶縁体2 a～2 c中において、層状にリンを含む領域が形成されることになる。分離絶縁体2 a～2 c中に含まれるリンは、アルカリ金属など半導体装置の動作に悪影響を及ぼすアルカリ金属などの不純物原子をトラップする。このため、アルカリ金属などの不純物原子が半導体基板中に拡散することを抑制するという効果がある。そのため、アルカリ金属などの不純物原子の存在に起因して半導体装置の特性が劣化するといった問題の発生を抑制できる。

10

【0064】

また、分離絶縁体2 a～2 c中にリンが一様に分布するのではなく、積層構造を構成する酸化膜33 a～33 c、34 a～34 c、35 a～35 c、36 b、37 bごとにリンの濃度が異なることから、リンの濃度が異なる層が積層した状態になっている（リン原子が集中して層状に分布している）。そのため、上述したアルカリ金属などの不純物原子を捉える効果をさらに高めることができる。

【0065】

次に、図16に示した半導体装置の製造工程において用いる半導体製造装置を、図17に示す。図17は、図16に示す半導体装置の製造工程において用いる半導体製造装置を示す模式図である。

20

【0066】

図17に示した半導体製造装置としての成膜装置20は、図16に示した半導体装置の分離絶縁体2 a～2 cを形成するために用いられる装置であって、基本的には図4に示した成膜装置20と同様の構造を備える。ただし、図17に示した成膜装置20は、反応ガス供給機構にホスフィン（ PH_3 ）ガスを反応容器21の内部に供給するための配管経路と、この配管経路に設置されたバルブ24 e、26 e、27 eおよびマスフロー制御装置25 eを備えている。図17に示した成膜装置20を用いて図16に示した半導体装置の分離絶縁体2 a～2 cを形成する工程を、図18を用いて簡単に説明する。図18は、図16に示した半導体装置の分離絶縁体2 a～2 cを、図17に示した成膜装置を用いて形成する工程のフローチャートを示す図である。

30

【0067】

図18に示すように、図16に示した分離絶縁体2 a～2 cを形成する工程は、基本的には本発明の実施の形態1における分離絶縁体を形成する工程（図5に示した工程）と同様であるが、図5に示した多結晶シリコン膜を形成する工程（S120）に代えて、リンを含んだ多結晶シリコン膜を形成する工程（S220）（図18参照）を実施する点が異なる。他の工程は、基本的に図5に示したフローチャート中の工程と同様である。

【0068】

具体的には、図18の溝を形成する工程（S210）は、図5の溝を形成する工程（S110）に対応する。また、図18の酸化工程（S230）は、図5の酸化工程（S130）に対応する。また、図18の溝の埋込が完了したかどうかを判別する工程（S240）は、図5の溝の埋込が完了したかどうかを判別する工程（S140）に対応する。また、図18の後処理工程（S250）は、図5の後処理工程（S150）に対応する。

40

【0069】

次に、図19～図23を参照して、図16に示した半導体装置の製造方法を説明する。ここで、図19は、図17に示した成膜装置を用いて分離絶縁体2 a～2 c（図16参照）を形成する際の成膜装置20（図17参照）の動作を説明するためのタイミングチャートを示す図である。また、図20～図23は、図16に示した半導体装置の製造方法を説明するための断面模式図である。

【0070】

まず、図2および図3に示した工程と同様の工程を実施することにより、半導体基板1（ 50

図20参照)の主表面に溝17a~17c(図20参照)を形成する。次に、本発明の実施の形態1における半導体装置の製造方法と同様に、成膜装置20(図17参照)の反応容器21(図17参照)内のヒータ22(図17参照)上に半導体基板1を配置し、半導体基板1を所定の温度に加熱する。

【0071】

そして、図19の時点 t_1 において、図17に示した成膜装置20のバルブ24a、24e、26a、26eを開状態とするとともに、マスフロー制御装置25a、25eを制御することによって、モノシランガスとホスフィン(PH₃)ガスとを所定の流量で反応容器21の内部に導入する。ここで、モノシランガスの流量としては0.05リットル/分(50sccm)とすることができる。また、n型不純物元素を含有するガスとしてのホスフィンガスは窒素ガスと混合し、ホスフィンガスの濃度が1%となるように希釈する。この希釈ガスを0.01リットル/分(10sccm)という流量で反応容器21内に供給する。この結果、図20に示すように溝17a~17cの内部からシリコン窒化膜16の上部表面上にまで延在する、膜厚がT3のリンを含有する多結晶シリコン膜38をCVD法により容易に形成することができる。

【0072】

なお、このときの反応容器21内部の圧力は実施の形態1と同様に30Paとすることができる。また、半導体基板1の加熱温度は620℃とすることができる。そして、この状態を所定時間継続した後、図19における時点 t_2 において、図17に示した成膜装置20のバルブ24a、24e、26a、26eを閉状態とするとともにバルブ27a、27eを開状態とすることによって、反応容器21内部へのモノシランガスとホスフィンガスとの供給を停止する。このようにして、リンを含んだ多結晶シリコン膜を形成する工程(S220)(図18参照)を実施できる。

【0073】

次に、反応容器21の内部から雰囲気ガスを排出することによって、反応容器21の内部をほぼ真空状態とする。その後、図19の時点 t_3 から、図17に示した成膜装置20の反応容器21の内部へと酸素ガスおよび水素ガスを供給する。具体的には、図17に示した成膜装置20において、バルブ24b、24c、26b、26cを開状態とするとともに、マスフロー制御装置25b、25cを制御することにより所定量の酸素ガスと水素ガスを反応容器21の内部へと供給する。

【0074】

酸素ガスと水素ガスとの供給量は、基本的に本発明の実施の形態1における半導体装置の製造方法の酸化工程での酸素ガスと水素ガスとの供給量と同様である。この結果、半導体基板1(図20参照)の表面に形成されたリンを含む多結晶シリコン膜38(図20参照)が酸化される。多結晶シリコン膜38がほぼ完全に酸化されるまで、この酸化工程を継続する。そして、多結晶シリコン膜38(図20参照)の酸化が終了した後の時点 t_4 (図19参照)において、図17に示した成膜装置20のバルブ24b、24c、26b、26cを閉状態とするとともに、バルブ27b、27cを開状態とすることにより、反応容器21への酸素ガスおよび水素ガスの供給を停止する。このようにして、酸化工程(S230)(図18参照)が終了する。この酸化工程(S230)では、リンを含有する多結晶シリコン膜38(図20参照)が酸化されて、膜厚T4のリンを含有する酸化膜33(図21参照)となる。この結果、図21に示すような構造を得る。

【0075】

なお、多結晶シリコン膜38(図20参照)はリンを含んでいるため、酸化工程(S230)(図18参照)において増速酸化の効果を得ることができる。したがって、実施の形態1において多結晶シリコン膜を酸化する酸化工程(S130)(図5参照)よりも、上述した本発明の実施の形態2における酸化工程(S230)(図18参照)の時間を短くすることができる。なお、このような増速酸化の効果は、リン以外のn型不純物元素(たとえばヒ素など)を多結晶シリコン膜38(図20参照)に含有させることによって得ることができる。

【0076】

次に、図19の時点 t_5 において、時点 t_1 と同様に図17に示した成膜装置20の反応容器21中にモノシランガスとホスフィンガスとを導入することによって、リンを含む多結晶シリコン膜39（図22参照）を形成する工程（S220）（図18参照）を実施する。このような成膜処理を時点 t_6 （図19参照）まで継続することによって、図22に示すような構造を得ることができる。

【0077】

そして、図19の時点 t_6 において、時点 t_2 と同様の操作を行ない、モノシランガスおよびホスフィンガスの反応容器21への供給を停止する。その後、反応容器21内を真空状態に排気した後、図19の時点 t_7 において時点 t_3 と同様の操作を行なう。具体的には、図17に示した成膜装置20において、バルブ24b、24c、26b、26cなどを操作することにより、時点 t_3 （図19参照）の場合と同様に反応容器21の内部に酸化性ガスとしての酸素ガスと水素ガスとを供給する。このようにして、酸化工程（S230）（図18参照）を実施する。このとき、酸素ガスと水素ガスとの供給量および半導体基板1の加熱温度などの条件は図21において説明した酸化工程と同様とする。この結果、リンを含む多結晶シリコン膜39（図22参照）を酸化することができる。そして、リンを含む多結晶シリコン膜39が完全に酸化されるまで、この酸化処理を継続する。その後、図19に示した時点 t_8 において、時点 t_4 と同様の操作を行なうことにより、図17に示した成膜装置20の反応容器21への酸素ガスおよび水素ガスの供給を停止する。この結果、図23に示すようなリンを含む酸化膜34を形成することができる。

【0078】

そして、この後は上述したリンを含んだ多結晶シリコン膜を形成する工程（S220）（図18参照）および酸化工程（S230）（図18参照）を繰り返すことにより、リンを含有する酸化膜によって溝17a～17cを充填する。その結果、図11に示した構造と同様の構造を得ることができる。その後、図12および図13において説明した工程と同様の工程（後処理工程（S250）（図18参照）に対応する工程や電界効果トランジスタなどを形成する工程）を実施することにより、図16に示した半導体装置を得ることができる。

【0079】

また、上述のように、分離絶縁体2a～2cを形成するため溝17a～17cの内部を酸化膜33～36（図24参照）で充填する工程では、リンを含んだ多結晶シリコン膜を形成する工程（S220）（図18参照）と、その形成された多結晶シリコン膜を酸化する酸化工程（S230）（図18参照）とを繰り返して図24に示すようなリンを含む酸化膜33～36の積層体を形成する。図24は、酸化膜33～36が形成された状態を示す拡大断面模式図である。このとき、多結晶シリコン膜に含有されるリンは、酸化膜（シリコン酸化膜）と多結晶シリコン膜とにおける偏析係数の違いから、酸化工程中に多結晶シリコン膜中および酸化膜中を移動する。そして、最終的に最も上層に位置する酸化膜37におけるリンの濃度が最も高くなり、最も下層に位置する酸化膜33におけるリンの濃度が最も低くなる。その結果、酸化膜33から酸化膜37に向かうにつれて、酸化膜33～37におけるリンの濃度は徐々に高くなる（1の酸化膜レイヤとしての酸化膜36におけるリンの濃度は、酸化膜36より半導体基板1に近い位置に配置された他の酸化膜レイヤとしての酸化膜35～33におけるリンの濃度より高くなっている）。

【0080】

なお、リンを含む多結晶シリコン膜38、39の成膜条件は、上述した条件に限定されず、他の条件を用いてもよい。たとえば、リンを含まない多結晶シリコン膜を本発明の実施の形態1と同様に形成した後で、後からその多結晶シリコン膜にリンを導入する工程を実施してもよい。具体的には、図25に示すような工程により分離酸化膜を形成してもよい。図25は、本発明の図16に示した半導体装置の製造方法における、分離絶縁体2a～2cの製造方法の他の例を説明するためのフローチャートを示す図である。図25を参照して、分離絶縁体2a～2cの製造方法の他の例を説明する。

【0081】

図25に示した分離絶縁体の製造方法は、基本的には図18に示した製造方法と同様であるが、図18におけるリンを含んだ多結晶シリコン膜を形成する工程(S220)に代えて、多結晶シリコン膜を形成する工程(S320)およびリンを多結晶シリコン膜に導入する工程(S330)を実施する点が異なる。他の工程は図18に示した製造方法と同様である。

【0082】

具体的には、図25の溝を形成する工程(S310)は、図18の溝を形成する工程(S210)に対応する。また、図25の酸化工程(S340)および溝の埋込が完了したかどうかを判定する工程(S350)は、それぞれ図18の酸化工程(S230)および溝の埋込が完了したかどうかを判定する工程(S240)に対応する。また、図25の後処理工程(S360)は、図18の後処理工程(S250)に対応する。このような工程を利用して、図16に示した半導体装置の分離絶縁体2a~2cを得ることができる。

【0083】

図26は、図25に示した分離絶縁体の製造方法を、図17に示した成膜装置20において実施する場合の成膜装置の操作条件を説明するためのタイミングチャートを示す図である。図26を参照して、図25に示した分離絶縁体の製造方法を実施する際の具体的なプロセスを簡単に説明する。

【0084】

まず、図2および図3に示した工程と同様の工程(溝を形成する工程(S310))(図25参照)を実施した後、半導体基板1(図17参照)を成膜装置20(図17参照)の反応容器21内部に配置する。そして、図26の時点 t_1 において、図17に示した成膜装置20の反応容器21内にモノシランガスを供給する。具体的には、図17に示した成膜装置20のバルブ24a、26aを開状態とし、マスフロー制御装置25aを用いて所定量のモノシランガスを反応容器21内に供給する。この結果、半導体基板1の溝17a~17c内部からシリコン窒化膜16(図20参照)上に延在するようにリンを含まない多結晶シリコン膜を形成できる。このようにして、多結晶シリコン膜を形成する工程(S320)(図25参照)を実施する。この結果、図7に示した構造と同様の構造を得ることができる。その後、図26の時点 t_2 において反応容器21(図17参照)内へのモノシランガスの供給を停止する。具体的には、図17の成膜装置20におけるバルブ24a、26aを開状態とするとともに、バルブ27aを開状態とする。そして、反応容器21(図17参照)中の雰囲気ガスを排気する。

【0085】

次に、図26の時点 t_3 において、図17に示した成膜装置20のバルブ24e、26eを開状態とすることにより、ホスフィンガスを反応容器21の内部に供給する。ホスフィンガスは、上述したように窒素ガスにより1%に希釈されている。このように雰囲気ガスとしてホスフィンガスを導入することによって、先に形成された多結晶シリコン膜にホスフィンガスを接触させることができるので、この多結晶シリコン膜中にリンを導入することができる。このようにして、リンを多結晶シリコン膜に導入する工程(S330)(図25参照)を実施する。そして、図26の時点 t_4 において、図17の成膜装置20におけるバルブ24e、26eを開状態とするとともにバルブ27eを開状態とする。この結果、反応容器21へのホスフィンガスの供給が停止する。その後、反応容器21(図17参照)中の雰囲気ガスを排気する。

【0086】

次に、図26の時点 t_5 において、図19における時点 t_3 と同様の操作を行なうことにより、図17に示した成膜装置20の反応容器21内へと水素ガスおよび酸素ガスを供給する。この結果、リンを含む多結晶シリコン膜が酸化される。そして、所定時間経過後、図26の時点 t_6 において、図19における時点 t_4 と同様の操作を行なうことにより、図17に示す成膜装置20の反応容器21中への水素ガスおよび酸素ガスの供給を停止する。このようにして酸化工程(S340)(図25参照)が完了する。

【0087】

このような多結晶シリコン膜を形成する工程（S320）、リンを多結晶シリコン膜に導入する工程（S330）および酸化工程（S340）（図25参照）を繰返すことにより、溝17a～17c（図16参照）を層状の酸化膜で充填することができる。その後、図12および図13に示した工程、すなわち後処理工程（S360）（図25参照）を実施することにより、図16に示した分離絶縁体2a～2cを得ることができる。さらに、半導体基板1（図16参照）の種表面上に電界効果トランジスタなどを形成する工程を実施することで、図16に示した半導体装置を得ることができる。

【0088】

このように、多結晶シリコン膜を形成する工程（S320）と、リンを多結晶シリコン膜に導入する工程（S330）（図25参照）とを別々に行なうことによって、溝17a～17cの内部においてより確実にボイドなどの欠陥の発生を抑制できる。これは、多結晶シリコン膜を形成する工程（S320）において形成される多結晶シリコン膜の段差被覆性が、図18に示した工程のように1つの工程により形成されたリンを含む多結晶シリコン膜の段差被覆性より優れているためである。なお、このように後からリンを多結晶シリコン膜に導入する場合には、導入されるリンの量は上述した希釈ホスフィンガスとモノシランガスを同時に反応容器21（図17参照）へと供給した場合よりも少なくなるが、多結晶シリコン膜を酸化する際の酸化速度を向上させる増速酸化効果は充分に得ることができる。

【0089】

（実施の形態3）

図27は、本発明による半導体装置の実施の形態3を示す断面模式図である。図27を参照して、本発明による半導体装置の実施の形態3を説明する。

【0090】

図27に示すように、半導体装置は基本的に図1に示した半導体装置と同様の構造を備えるが、分離絶縁体2a～2cの構造が異なる。すなわち、図27に示した半導体装置では、分離絶縁体2a～2cを構成する酸化膜40a～40c、33a～33c、34a～34c、35b、36bからなる酸化膜の積層構造のうち、最下層（最も半導体基板1に近い領域）に位置する酸化膜40a～40cが、下地酸化膜であって上層の他の酸化膜とは異なる製造方法により形成され、異なる膜質を有している。

【0091】

具体的には、図27に示した半導体装置において、最下層のシリコン酸化膜40a～40cはLPCVD法により形成されたシリコン酸化膜である。そして、バリア膜としてのシリコン酸化膜40a～40cの上層に位置するリンを含む酸化膜33a～33c、34a～34c、35b、36bは、基本的に実施の形態2における半導体装置の分離絶縁体を構成する酸化膜33a～33cと同様の方法により製造され、リンを含んでいる。

【0092】

このような半導体装置によっても、本発明の実施の形態2による効果と同様の効果を得ることができるとともに、バリア膜としての酸化膜40a～40cが分離絶縁体2a～2c内の不純物元素（リン）の拡散に対する障壁となるので、このリンが半導体基板1内部に拡散することを抑制できる。

【0093】

また、熱酸化法を用いて酸化膜レイヤとしての酸化膜33a～33c、34a～34c、35b、36bを形成する際、酸化膜33a～33c、34a～34c、35b、36bにおいて応力が発生する場合がある。しかし、図27に示した半導体装置では、酸化膜40a～40cが酸化膜33a～33c、34a～34c、35b、36bの応力に対する緩衝層として作用するので、上記応力が半導体基板1内に伝わって半導体基板1の欠陥の原因となる危険性を低減できる。

【0094】

図27に示した半導体装置の製造工程を、図28～図31を参照して簡単に説明する。図

28は、図27に示した半導体装置の分離絶縁体を形成する工程を説明するためのフローチャートを示す図である。また、図29～図31は、図27に示した半導体装置の製造方法を説明するための断面模式図である。

【0095】

図28に示した分離絶縁体の製造方法は、基本的に本発明の実施の形態1の半導体装置における分離絶縁体の製造方法と同様であるが、多結晶シリコン膜を形成する工程(S430)の前にバリア膜を形成する工程としての下地酸化膜を形成する工程(S420)を備えている点異なる。ただし、この下地酸化膜を形成する工程(S420)以外の工程は、基本的に図18に示した本発明の実施の形態2の半導体装置における分離絶縁体を形成する工程と同様である。

10

【0096】

すなわち、図28の溝を形成する工程(S410)が図18の溝を形成する工程(S210)に対応する。また、図28のリンを含んだ多結晶シリコン膜を形成する工程(S430)、酸化工程(S440)、溝の埋込が完了したかどうかを判定する工程(S450)、後処理工程(S460)が、それぞれ図18のリンを含んだ多結晶シリコン膜を形成する工程(S120)、酸化工程(S130)、溝の埋込みが完了したかどうかを判定する工程(S140)、後処理工程(S150)に対応する。

【0097】

次に、図27に示した半導体装置の製造方法を、図29～図31を参照して簡単に説明する。

20

【0098】

まず、図2および図3に示した工程と同様の工程(溝を形成する工程(S410)(図28参照))を実施することにより、半導体基板1の主表面に溝17a～17c(図29参照)を形成する。そして、下地酸化膜を形成する工程(S420)(図28参照)として、溝17a～17cの内部からシリコン窒化膜16(図29参照)の上部表面上にまで延在するようにシリコン酸化膜40(図29参照)を形成する。このようにして、図29に示すような構造を得る。なお、シリコン酸化膜40の厚さはたとえば10nmとすることができる。このシリコン酸化膜40は、LPCVD法を用いて形成する。

【0099】

この下地酸化膜としてのシリコン酸化膜40を形成することにより、このシリコン酸化膜40上に形成される酸化膜33(図31参照)などによって発生する応力を緩和し、その応力によって半導体基板1に欠陥が導入されることを抑制できる。また、この下地酸化膜としてのシリコン酸化膜40は、分離絶縁体2a～2cを構成する酸化膜33a～33c、34a～34c、35b、36bに含まれるリンが半導体基板1側へと拡散することを防止する障壁としての機能も有する。なお、シリコン酸化膜40の膜厚は上述の値に限定されない。

30

【0100】

次に、リンを含んだ多結晶シリコン膜を形成する工程(S430)(図28参照)に対応する工程として、シリコン酸化膜40上にリンを含む多結晶シリコン膜38を形成する。この多結晶シリコン膜38の形成方法は、基本的に本発明の実施の形態2における図20に示した工程と同様である。

40

【0101】

次に、酸化工程(S440)(図28参照)として、多結晶シリコン膜38(図30参照)を酸化して酸化膜33(図31参照)を形成する工程を実施する。酸化工程(S440)としては、図21において説明した工程と同様の工程を用いることができる。この結果、図31に示すような構造を得ることができる。

【0102】

この後、図22および図23、さらに図11～図13において説明した工程と同様の工程を実施することにより、分離絶縁体2a～2cを備える図27に示した半導体装置を得ることができる。

50

【0103】

図32は、本発明による半導体装置の実施の形態3の変形例を示す断面模式図である。図32を参照して、本発明による半導体装置の実施の形態3の変形例を説明する。

【0104】

図32に示すように、半導体装置は基本的に図27に示した半導体装置と同様の構造を備えるが、分離絶縁体2a～2cを構成する酸化膜のうち最下層に位置するバリア膜としてのシリコン酸化膜41a～41cがHDP-CVD法によって形成されている点が異なる。

【0105】

図33～図35は、図32に示した半導体装置の製造方法を説明するための断面模式図である。図33～図35を参照して、図32に示した半導体装置の製造方法を説明する。 10

【0106】

まず、図2および図3に示した工程と同様の工程を実施することにより、半導体基板1の主表面に溝17a～17c（図33参照）を形成する。その後、HDP-CVD法を用いて、シリコン酸化膜41（図33参照）を形成する。このようにして、図33に示すような構造を得る。

【0107】

次に、図30に示した工程と同様に、シリコン酸化膜41上にリンを含む多結晶シリコン膜38（図34参照）を形成する。この結果、図34に示すような構造を得ることができる。 20

【0108】

次に、図31に示した工程と同様に、多結晶シリコン膜38を酸化することにより、リンを含む酸化膜33（図35参照）を形成する。この結果、図35に示すような構造を得る。

【0109】

その後、図27に示した半導体装置の製造方法と同様に、多結晶シリコン膜の形成および酸化を繰返して溝17a～17c（図32参照）の内部を酸化膜によって充填する。そして、後処理工程（S460）（図28参照）に対応する図11～図13に示した工程を実施した後、電界効果トランジスタや層間絶縁膜11（図32参照）などを形成することにより、図32に示した半導体装置を得ることができる。 30

【0110】

このように、下地酸化膜としてHDP-CVD法による酸化膜を形成し、分離絶縁体2a～2c（図32参照）の他の部分については多結晶シリコン膜の形成と酸化とを繰返すことによって酸化膜を積層していくという手法を採用することにより、HDP-CVD法のみによって溝17a～17c（図32参照）を充填する場合に問題となる半導体基板1の表面が部分的に削れてしまうといった不良の発生を回避することができる。

【0111】

また、上述のように酸化膜の形成方法として異なる方法を組合せる場合、たとえば下地酸化膜を形成する工程（S420）（図28参照）において比較的成膜速度の速い既存のCVD技術を適用できる。このようにすれば、溝17a～17c（図32参照）の埋込に必要な時間を短縮することができる。 40

【0112】

なお、下地酸化膜としてのシリコン酸化膜40a～40cを形成する工程においては、他のどのような成膜方法を利用してもよい。

【0113】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した実施の形態ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0114】

【発明の効果】

この発明の1の局面に従った半導体装置は、半導体基板と分離絶縁体とを備える。半導体基板の主表面には溝が形成されている。分離絶縁体は、熱酸化法を用いて溝の内部に形成され、半導体基板の主表面において素子形成領域を分離するものである。上記分離絶縁体は複数の酸化膜レイヤの積層体である。

【0115】

このようにすれば、後述する製造方法からも分かるように、溝の幅より十分小さい膜厚のシリコン膜など酸化膜レイヤの元となる膜を溝の内部に形成した後、そのシリコン膜などの膜を熱酸化するという工程を繰り返す事で、本発明による絶縁体を得ることができる。そして、上述の酸化膜レイヤの元となるシリコン膜などを形成する際に、段差被覆性に優れた成膜方法を利用できるので、溝の上部が塞がれる事に起因してボイドなどの欠陥が形成される危険性を低減できる。

【0116】

また、もし上記酸化膜レイヤの元となる膜を成膜した際にボイドなどが溝の内部に形成されても、その膜を熱酸化する際に、酸素が上記膜中を拡散することにより上記膜の内ボイドに面する部分にも酸素が供給されるので、ボイドに面する部分も酸化することができる。そして、シリコン膜などの上記膜が酸化される際には、その体積が膨張するため、この体積膨張にともなってボイドを無くすこともできる。この結果、ボイドなどの欠陥の無い絶縁体を実現できる。

【0117】

また、熱酸化法を用いて形成された酸化膜レイヤの膜質は、LPCVD法やHDP-CVD法などを用いて形成された酸化膜の膜質より優れているため、優れた分離特性を有する分離絶縁体を実現できる。

【0118】

上記1の局面に従った半導体装置は、溝の内壁と分離絶縁体との間に配置されたバリア膜をさらに備えていてもよい。

【0119】

この場合、バリア膜が分離絶縁体内の不純物元素などの拡散に対する障壁となるので、分離絶縁体中に含有された不純物元素などが半導体基板内部に拡散することを抑制できる。

【0120】

また、熱酸化法を用いて分離絶縁体を構成する酸化膜レイヤを形成する際、酸化膜レイヤにおいて応力が発生する場合がある。しかし、本発明では、バリア膜が酸化膜レイヤの応力に対する緩衝層として作用するので、上記応力が半導体基板内に伝わって半導体基板の欠陥の原因となる危険性を低減できる。

【0121】

上記1の局面に従った半導体装置において、酸化膜レイヤはn型不純物元素を含んでいてもよい。

【0122】

この場合、n型不純物元素によりアルカリ金属などの不純物原子をトラップすることができるので、酸化膜レイヤ中での不純物原子の拡散を抑制できる。このため、アルカリ金属などの不純物原子による分離絶縁体の分離特性の劣化を抑制できる。

【0123】

また、酸化膜レイヤを形成するための熱酸化工程において、酸化膜レイヤの元となる膜にn型不純物元素を含有させておく事により、酸化膜レイヤを形成するための酸化の速度を向上させることができる。このため、酸化膜レイヤを形成するための熱酸化工程に要する時間を短縮できる。

【0124】

この発明の他の局面に従った半導体装置は、半導体基板と絶縁体とを備える。半導体基板は凹凸部が形成された主表面を有する。絶縁体は、凹凸部上に形成され、n型不純物元素を含む複数の酸化膜レイヤの積層体からなる。

【0125】

この場合、n型不純物元素によりアルカリ金属などの不純物原子をトラップすることができるので、酸化膜レイヤ中での不純物原子の拡散を抑制できる。このため、アルカリ金属などの不純物原子が半導体基板上に形成された電界効果トランジスタなどの半導体素子の構成要素中に拡散することによる半導体素子の特性劣化を抑制できる。

【0126】

上記他の局面に従った半導体装置では、酸化膜レイヤが熱酸化法を用いて形成されていてもよい。

【0127】

この場合、後述する製造方法からも分かるように、凹凸部を構成する凹部（たとえば溝）
10の幅より十分小さい膜厚のシリコン膜など酸化膜レイヤの元となる膜を凹部の内部に形成した後、そのシリコン膜などの膜を熱酸化するという工程を繰り返す事で、本発明による絶縁体を得ることができる。そして、上述の酸化膜レイヤの元となるシリコン膜などを形成する際に、段差被覆性に優れた成膜方法を利用できるので、凹部の上部が塞がれる事に起因してボイドなどの欠陥が形成される危険性を抑制できる。

【0128】

また、もし上記酸化膜レイヤの元となる膜を成膜した際にボイドなどが凹部の内部に形成されても、その膜を熱酸化する際に、酸素が上記膜中を拡散することにより上記膜のボイドに面する部分にも酸素が供給されるので、ボイドに面する上記膜の部分も酸化することが
20できる。そして、シリコン膜などの上記膜が酸化される際には、その体積が膨張するため、この体積膨張にともなってボイドを無くすこともできる。この結果、ボイドなどの欠陥の無い絶縁体を実現できる。

【0129】

また、熱酸化法を用いて形成された酸化膜レイヤの膜質は、LPCVD法やHDP-CVD法などを用いて形成された酸化膜の膜質より優れている。そのため、本発明による絶縁体を素子形成領域を分離するための分離絶縁体として用いれば、優れた分離特性を有する分離絶縁体を実現できる。

【0130】

また、酸化膜レイヤを形成するための熱酸化工程において、酸化膜レイヤの元となる膜に
30n型不純物元素を含有させておく事により、酸化膜レイヤを形成するための酸化の速度を向上させることができる。このため、酸化膜レイヤを形成するための熱酸化工程に要する時間を短縮できる。

【0131】

上記他の局面に従った半導体装置において、凹凸部は半導体基板の主表面に形成された溝を含んでいてもよい。絶縁体は溝を充填するように形成されていてもよい。

【0132】

この場合、本発明による絶縁体をトレンチ分離構造として利用できる。

上記他の局面に従った半導体装置は、溝の内壁と絶縁体との間に配置されたバリア膜をさらに備えていてもよい。

【0133】

この場合、バリア膜が絶縁体内の不純物元素などの拡散に対する障壁となるので、絶縁体中に含有された不純物元素などが半導体基板内部に拡散することを抑制できる。
40

【0134】

また、熱酸化法を用いて分離絶縁体を構成する酸化膜レイヤを形成する際、酸化膜レイヤにおいて応力が発生する場合がある。しかし、本発明では、バリア膜が酸化膜レイヤの応力に対する緩衝層として作用するので、上記応力が半導体基板内に伝わって半導体基板の欠陥の原因となる危険性を低減できる。

【0135】

上記1の局面または他の局面に従った半導体装置において、n型不純物元素はリンであってもよい。
50

【0136】

この場合、酸化膜レイヤを形成するための熱酸化工程において、酸化の速度を確実に向上させることができるとともに、アルカリ金属などの不純物原子をリンによりトラップすることができる。

【0137】

上記1の局面または他の局面に従った半導体装置において、複数の酸化膜レイヤのうちの1の酸化膜レイヤにおけるn型不純物元素の濃度は、上記1の酸化膜レイヤより半導体基板に近い位置に配置された他の酸化膜レイヤにおけるn型不純物元素の濃度より高くなっているてもよい。

【0138】

このように、酸化膜レイヤの上層に向かうほど、n型不純物元素の濃度が高くなっているため、酸化膜レイヤの上層部でアルカリ金属などの不純物原子を確実にトラップすることができる。

【0139】

上記1の局面または他の局面に従った半導体装置において、バリア膜は、高密度プラズマ化学気相成長法および減圧化学気相成長法のいずれかによって形成されたシリコン酸化膜であってもよい。また、上記1の局面または他の局面に従った半導体装置において、酸化膜レイヤはシリコンを熱酸化することにより得られたものであってもよい。

【0140】

この場合、溝あるいは凹凸部の凹部を埋め込むバリア膜の形成方法として、従来のHDP-CVD法やLPCVD法などを用いるので、本発明による半導体装置の製造工程において従来の半導体製造装置を流用できる。また、HDP-CVD法やLPCVD法など、従来の成膜方法において比較的成膜速度の速い成膜方法をバリア膜の成膜に適用する事で、溝あるいは凹凸部の凹部をすべて本発明における酸化膜レイヤで充填する場合より、溝などを充填するために要する作業時間を短縮できる。

【0141】

この発明の別の局面に従った半導体装置の製造方法は、半導体基板を準備する工程と、絶縁体形成工程とを備える。半導体基板を準備する工程では、凹凸部が形成された主表面を有する半導体基板を準備する。絶縁体形成工程では、凹凸部上に化学気相成長法を用いてシリコン膜を形成する工程と、シリコン膜を酸化することによりシリコン酸化膜を形成する工程とを交互に複数回繰返す。

【0142】

このようにすれば、凹凸部の凹部の幅より十分小さい膜厚のシリコン膜など酸化膜レイヤの元となるシリコン膜を凹部の内部に形成した後、そのシリコン膜を酸化するという工程を繰返す事で、本発明による絶縁体を備える半導体装置を得ることができる。そして、上述のシリコン膜を形成する際に、段差被覆性に優れた成膜方法を利用できるので、凹部の上部が塞がれる事に起因してボイドなどの欠陥が形成される危険性を低減できる。

【0143】

また、もし上記シリコン膜を成膜した際にボイドなどが凹部の内部に形成されても、その膜を酸化する際に、酸素が上記シリコン膜中を拡散することにより上記ボイドに面するシリコン膜の部分にも酸素が供給されるので、ボイドに面するシリコン膜の部分も酸化することができる。そして、シリコン膜が酸化される際にはその体積が膨張するため、この体積膨張にともなってボイドを無くすこともできる。この結果、ボイドなどの欠陥の無い絶縁体を形成できる。

【0144】

また、上記シリコン膜を酸化する工程では、熱酸化法を用いてもよい。ここで、熱酸化法を用いて形成されたシリコン酸化膜の膜質は、LPCVD法やHDP-CVD法などを用いて形成されたシリコン酸化膜の膜質より優れている。したがって、上記絶縁体形成工程において形成される絶縁体を分離絶縁体として用いれば、優れた分離特性を有する分離絶縁体を得ることができる。

10

20

30

40

50

【0145】

上記別の局面に従った半導体装置の製造方法において、シリコン膜を形成する工程では、化学気相成長法において用いる反応ガスがn型不純物元素を含有するガスを含んでいてもよい。

【0146】

上記別の局面に従った半導体装置の製造方法において、絶縁体形成工程では、シリコン膜を形成する工程の後であってシリコン酸化膜を形成する工程の前に、シリコン膜にn型不純物元素を導入する工程を実施してもよい。シリコン膜にn型不純物元素を導入する工程では、シリコン膜にn型不純物元素を含有するガスを接触させることによりn型不純物元素を導入してもよい。

10

【0147】

上記別の局面に従った半導体装置の製造方法において、n型不純物元素はリンであってもよい。

【0148】

この場合、形成されるシリコン膜にリンなどのn型不純物元素を容易に含有させることができる。

【0149】

また、シリコン酸化膜を形成する工程において、シリコン膜にリンなどのn型不純物元素を含有させておく事により、シリコン膜の酸化の速度を向上させることができる。このため、シリコン酸化膜を形成する工程に要する時間を短縮できる。

20

【0150】

上記別の局面に従った半導体装置の製造方法において、n型不純物元素を含むガスはホスフィンガスであってもよい。

【0151】

この場合、シリコン膜を形成しているとき、あるいはシリコン膜を形成した後で、シリコン膜を形成した化学気相成長法(CVD法)を実施する装置の反応容器にホスフィンガスを導入することにより、容易にシリコン膜中にリンを導入することができる。

【0152】

上記別の局面に従った半導体装置の製造方法において、絶縁体形成工程では、以下のようなプロセス条件を用いてもよい。すなわち、絶縁体形成工程では、半導体基板の温度を520℃以上750℃以下としてもよい。また、シリコン膜を形成する工程において化学気相成長法で利用する反応ガスはモノシランガスを含んでいてもよい。シリコン酸化膜を形成する工程においてシリコン膜を酸化するためにシリコン膜に接触させる反応ガスは、酸素ガスと水素ガスとの混合ガスを含んでいてもよい。混合ガスにおける水素ガスの体積割合は1%以上30%以下であってもよい。

30

【0153】

この場合、半導体基板上におけるシリコン膜の形成、およびシリコン膜の熱酸化を確実に行なうことができる。

【0154】

上記別の局面に従った半導体装置の製造方法は、絶縁体形成工程に先だって、半導体基板の凹凸部上にバリア膜を形成する工程をさらに備えていてもよい。

40

【0155】

この場合、バリア膜が絶縁体内のn型不純物元素などが半導体基板へ拡散することに対する障壁となるので、絶縁体中に含有されたn型不純物元素などが半導体基板内部に拡散することを抑制できる。

【0156】

また、シリコン酸化膜を形成する工程では、シリコン酸化膜において応力が発生する場合がある。しかし、本発明では、バリア膜がシリコン酸化膜の応力に対する緩衝層として作用するので、上記応力が半導体基板に伝わって半導体基板の欠陥の原因となる危険性を低減できる。

50

【0157】

上記別の局面に従った半導体装置の製造方法において、半導体基板を準備する工程は、半導体基板の主表面に凹凸部を構成する溝を形成する工程を含んでいてもよい。また、シリコン膜を形成する工程では、溝の内部にシリコン膜を形成してもよい。

【0158】

この場合、絶縁体形成工程により得られるシリコン酸化膜の積層体を、トレンチ分離絶縁膜として利用できる。

【0159】

このように、本発明によれば、分離絶縁体を積層構造とし、さらにその積層構造を構成する酸化膜レイヤを、酸化膜の元となる多結晶シリコン膜を形成した後で、その多結晶シリコン膜を酸化するという工程により形成するので、分離絶縁体におけるボイドなどの欠陥の発生を抑制できる。この結果、分離絶縁体における分離特性の劣化を抑制できる。

【図面の簡単な説明】

【図1】 本発明による半導体装置の実施の形態1を示す断面模式図である。

【図2】 図1に示す半導体装置の製造方法の第1工程を説明するための断面模式図である。

【図3】 図1に示す半導体装置の製造方法の第2工程を説明するための断面模式図である。

【図4】 分離絶縁体を形成するために用いる半導体製造装置の模式図である。

【図5】 図4に示した半導体製造装置を用いて、分離絶縁体を形成する半導体装置の製造方法のフローチャートを示す図である。

【図6】 図5に示したフローチャートに従って分離絶縁体を形成する際の図4に示した半導体製造装置におけるプロセス条件を説明するためのタイミングチャートを示す図である。

【図7】 図1に示す半導体装置の製造方法の第3工程を説明するための断面模式図である。

【図8】 図1に示す半導体装置の製造方法の第4工程を説明するための断面模式図である。

【図9】 図1に示す半導体装置の製造方法の第5工程を説明するための断面模式図である。

【図10】 図1に示す半導体装置の製造方法の第6工程を説明するための断面模式図である。

【図11】 図1に示す半導体装置の製造方法の第7工程を説明するための断面模式図である。

【図12】 図1に示す半導体装置の製造方法の第8工程を説明するための断面模式図である。

【図13】 図1に示す半導体装置の製造方法の第9工程を説明するための断面模式図である。

【図14】 本発明の効果を説明するための拡大断面模式図である。

【図15】 本発明の効果を説明するための拡大断面模式図である。

【図16】 本発明による半導体装置の実施の形態2を説明するための断面模式図である。

【図17】 図16に示す半導体装置の製造工程において用いる半導体製造装置を示す模式図である。

【図18】 図16に示した半導体装置の分離絶縁体を、図17に示した成膜装置を用いて形成する工程のフローチャートを示す図である。

【図19】 図17に示した成膜装置を用いて分離絶縁体を形成する際の成膜装置の動作を説明するためのタイミングチャートを示す図である。

【図20】 図16に示した半導体装置の製造方法の第1工程を説明するための断面模式図である。

【図21】 図16に示した半導体装置の製造方法の第2工程を説明するための断面模式図

30

40

50

である。

【図 2 2】図 1 6 に示した半導体装置の製造方法の第 3 工程を説明するための断面模式図である。

【図 2 3】図 1 6 に示した半導体装置の製造方法の第 4 工程を説明するための断面模式図である。

【図 2 4】酸化膜が形成された状態を示す拡大断面模式図である。

【図 2 5】本発明の図 1 6 に示した半導体装置の製造方法における、分離絶縁体の製造方法の他の例を説明するためのフローチャートを示す図である。

【図 2 6】図 2 5 に示した分離絶縁体の製造方法を、図 1 7 に示した成膜装置において実施する場合の成膜装置の操作条件を説明するためのタイミングチャートを示す図である。 10

【図 2 7】本発明による半導体装置の実施の形態 3 を示す断面模式図である。

【図 2 8】図 2 8 は、図 2 7 に示した半導体装置の分離絶縁体を形成する工程を説明するためのフローチャートを示す図である。

【図 2 9】図 2 7 に示した半導体装置の製造方法の第 1 工程を説明するための断面模式図である。

【図 3 0】図 2 7 に示した半導体装置の製造方法の第 2 工程を説明するための断面模式図である。

【図 3 1】図 2 7 に示した半導体装置の製造方法の第 3 工程を説明するための断面模式図である。

【図 3 2】本発明による半導体装置の実施の形態 3 の変形例を示す断面模式図である。 20

【図 3 3】図 3 2 に示した半導体装置の製造方法の第 1 工程を説明するための断面模式図である。

【図 3 4】図 3 2 に示した半導体装置の製造方法の第 2 工程を説明するための断面模式図である。

【図 3 5】図 3 2 に示した半導体装置の製造方法の第 3 工程を説明するための断面模式図である。

【図 3 6】従来の半導体装置における S T I の形成方法の第 1 工程を説明するための断面模式図である。

【図 3 7】従来の半導体装置における S T I の形成方法の第 2 工程を説明するための断面模式図である。 30

【図 3 8】従来の半導体装置における S T I の形成方法の第 3 工程を説明するための断面模式図である。

【図 3 9】従来の半導体装置における S T I の形成方法の第 4 工程を説明するための断面模式図である。

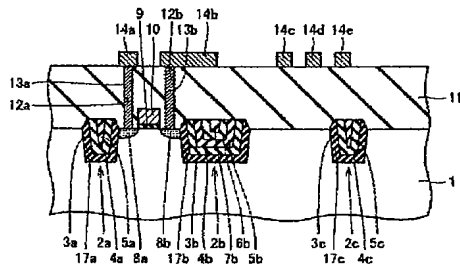
【図 4 0】従来の半導体装置の問題点を説明するための断面模式図である。

【図 4 1】従来の半導体装置の問題点を説明するための断面模式図である。

【符号の説明】

1 半導体基板、2 a ~ 2 c 分離絶縁体、3, 3 a ~ 3 c, 4, 4 a ~ 4 c, 5, 5 a ~ 5 c, 6, 6 b, 7, 7 b, 3 3, 3 3 a ~ 3 3 c, 3 4, 3 4 a ~ 3 4 c, 3 5, 3 5 a ~ 3 5 c, 3 6, 3 6 b, 3 7, 3 7 b 酸化膜、8 a, 8 b ソース／ドレイン領域、9 ゲート絶縁膜、10 ゲート電極、11 層間絶縁膜、12 a, 12 b コンタクトホール、13 a, 13 b 導電体膜、14 a ~ 14 e 配線、15, 40, 40 a ~ 40 c, 41, 41 a ~ 41 c シリコン酸化膜、16 シリコン窒化膜、17 a ~ 17 c 溝、18, 38, 39 多結晶シリコン膜、20 成膜装置、21 反応容器、22 ヒータ、23 ガスヘッド、24 a ~ 24 e, 26 a ~ 26 e, 27 a ~ 27 e バルブ、25 a ~ 25 e マスフロー制御装置、28 圧力制御バルブ、30, 31 多結晶シリコン膜、32 ボイド。 40

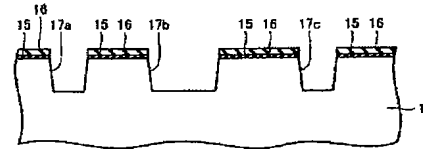
【図 1】



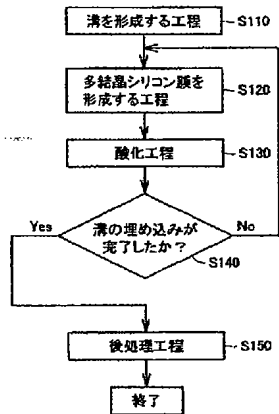
【図 2】



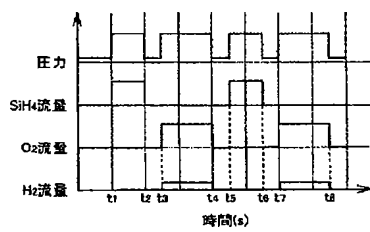
【図 3】



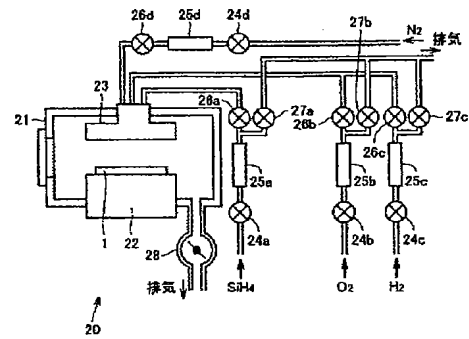
【図 5】



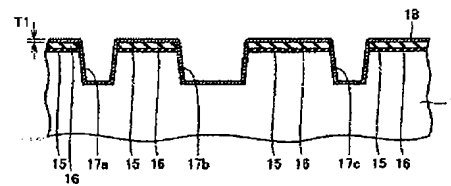
【図 6】



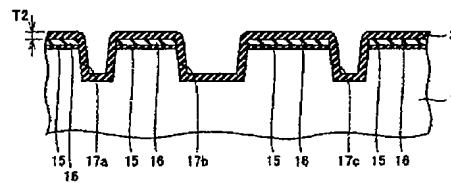
【図 4】



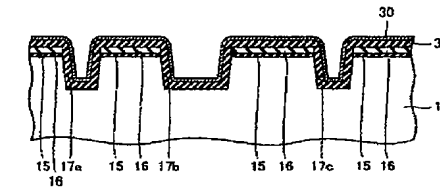
【図 7】



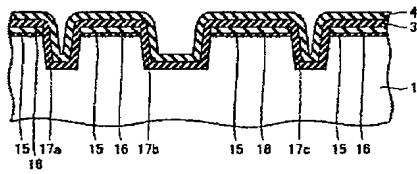
【図 8】



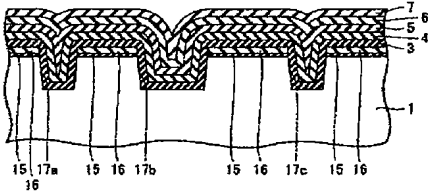
【図 9】



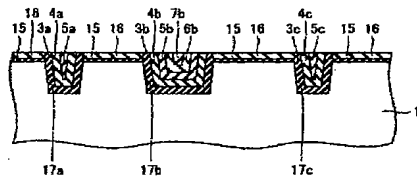
【図 10】



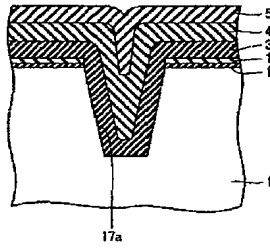
【図 11】



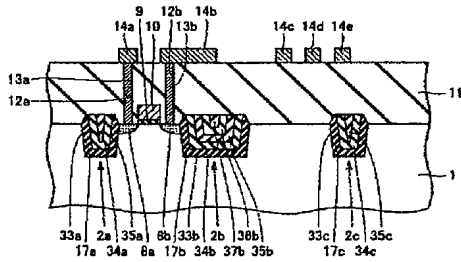
【図 12】



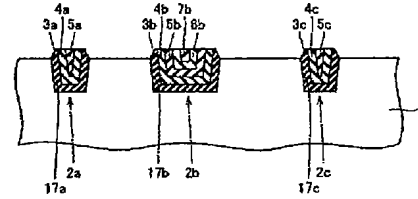
【図 15】



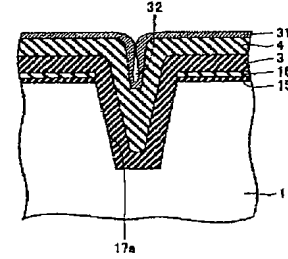
【図 16】



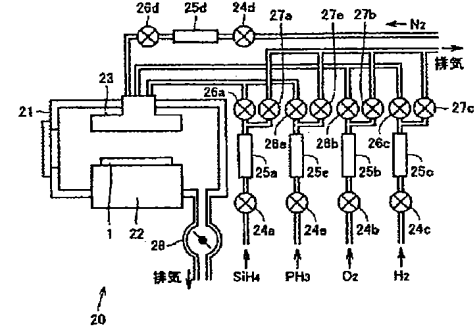
【図 13】



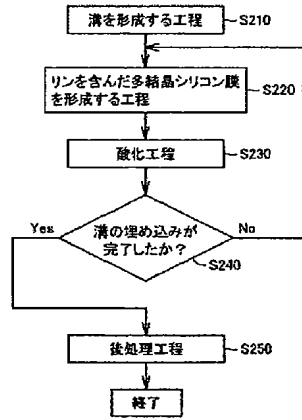
【図 14】



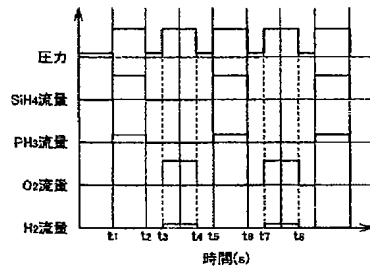
【図 17】



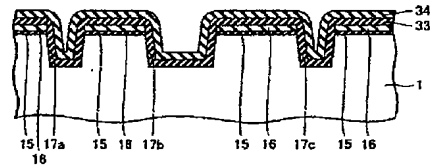
【図 18】



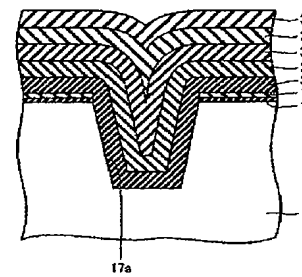
【図 19】



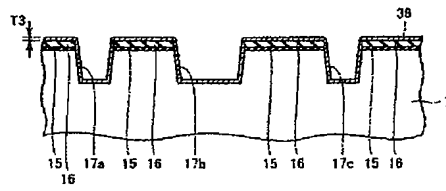
【図 23】



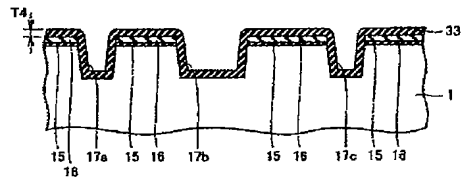
【図 24】



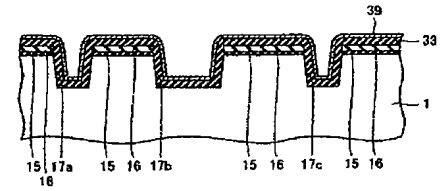
【図 20】



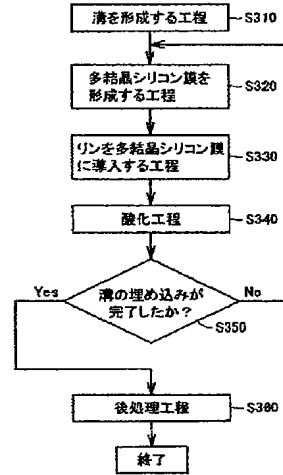
【図 21】



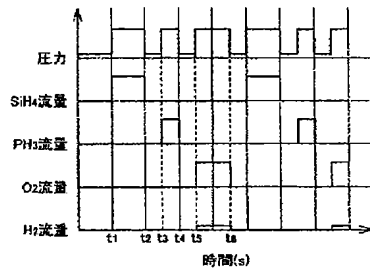
【図 22】



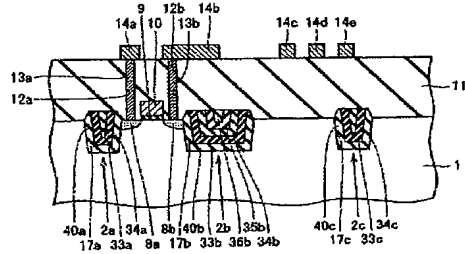
【図 25】



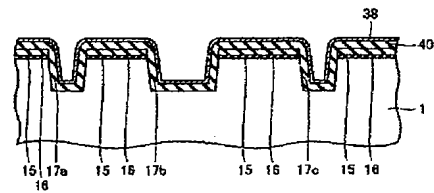
【図 26】



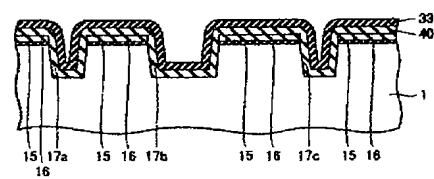
【図 27】



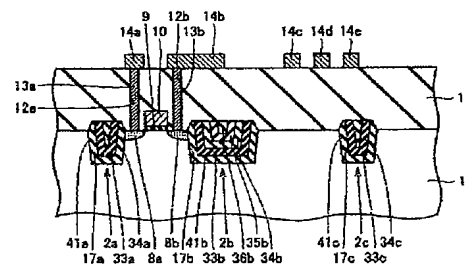
【図 30】



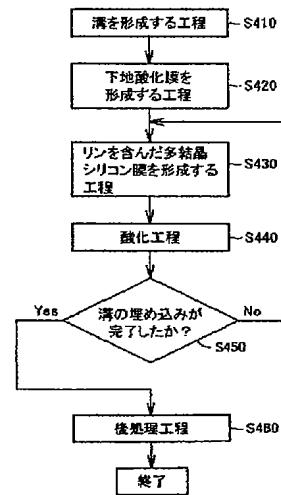
【図 31】



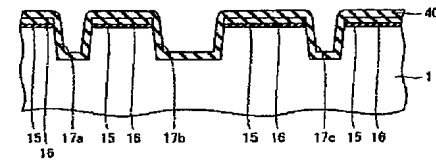
【図 32】



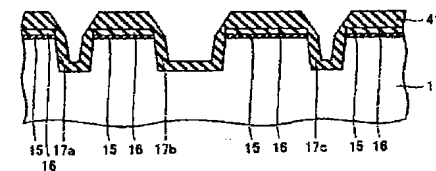
【図 28】



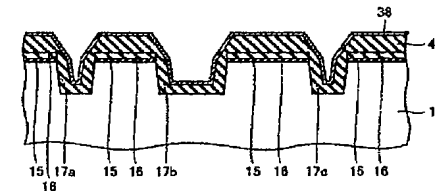
【図 29】



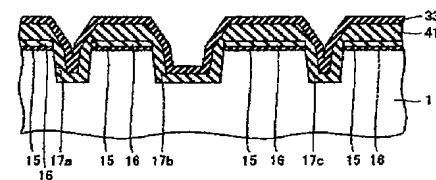
【図 33】



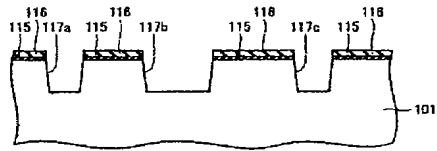
【図 34】



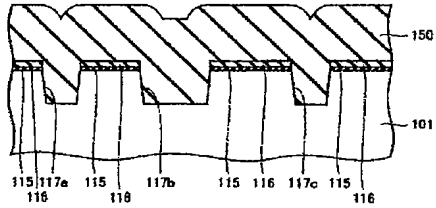
【図 35】



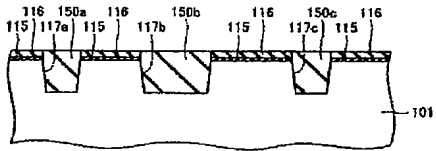
【図 3 6】



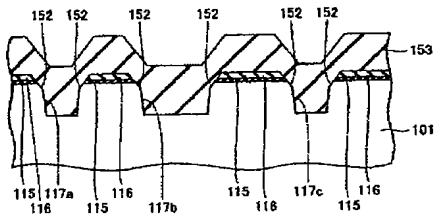
【図 3 7】



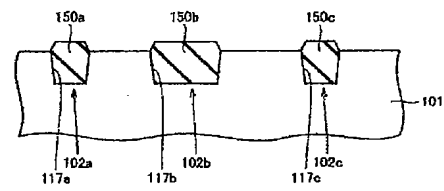
【図 3 8】



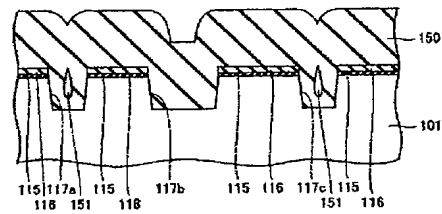
【図 4 1】



【図 3 9】



【図 4 0】



フロントページの続き

(72)発明者 澤田 真人

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 飛松 博

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 林出 吉生

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

F ターム(参考) 5F032 AA14 AA16 AA35 AA44 AA45 AA48 CA17 DA02 DA03 DA04
DA22 DA23
5F045 AA20 AB03 AB32 AC01 AC11 AC15 AD10 AE19 AF03 BB01
BB16 DP03 EB02 EE04 EE19 HA22
5F058 BA02 BB04 BC02 BF55 BF63 BF80 BG02 BJ06